

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of	)	
Joon-seop KWAK	)	Group Art Unit: Unassigned
Application No.: Unassigned	)	Examiner: Unassigned
Filed: October 29, 2003	)	Confirmation No.: Unassigned
For: METHOD FOR MANUFACTURING	)	
GaN COMPOUND SEMICONDUCTOR	)	
LIGHT EMITTING DEVICE	)	
	)	
	)	

**SUBMISSION OF CERTIFIED COPY OF PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed:

Korean Patent Application No. 2002-71045

Filed: November 15, 2002

In support of this claim, enclosed is a certified copy of said prior foreign application. Said prior foreign application was referred to in the oath or declaration. Acknowledgment of receipt of the certified copy is requested.

Respectfully submitted,

BURNS, DOANE, SWICKER & MATHIS, L.L.P.

Date: October 29, 2003

By: 

Charles F. Wieland III  
Registration No. 33,096

P.O. Box 1404  
Alexandria, Virginia 22313-1404  
(703) 836-6620

대한민국 특허청  
KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0071045  
Application Number PATENT-2002-0071045

출원년월일 : 2002년 11월 15일  
Date of Application NOV 15, 2002

출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 02 일

특허청  
COMMISSIONER



52

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0013
【제출일자】	2002.11.15
【국제특허분류】	H01L
【발명의 명칭】	G a N 계 화합물 반도체가 사용된 발광소자의 제조방법
【발명의 영문명칭】	Method for manufacturing light emitting device comprising compound semiconductor of GaN group
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-002816-9
【발명자】	
【성명의 국문표기】	곽준섭
【성명의 영문표기】	KWAK, Joon Seop
【주민등록번호】	690923-1041834
【우편번호】	445-973
【주소】	경기도 화성군 태안읍 반월리 신영통 현대아파트 311동704 호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규 정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 이해영 (인)



1020020071045

출력 일자: 2002/12/3

**【수수료】**

【기본출원료】 20 면 29,000 원

【가산출원료】 15 면 15,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 18 항 685,000 원

【합계】 729,000 원

**【첨부서류】**

1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

GaN계 화합물 반도체가 사용된 발광소자의 제조방법에 관해 개시되어 있다. 여기에서 본 발명은 광이 방출되는 활성층 상에 적어도 한 층의 p형 화합물 반도체층이 존재하고, 상기 p형 화합물 반도체층 상에 p형 전극을 구비하는 발광소자의 제조방법에 있어서, 상기 활성층 상에 상기 p형 화합물 반도체층을 형성한 다음, 그 결과물을 2차에 걸쳐 어닐링하는 단계 및 상기 2차에 걸쳐 어닐링된 상기 p형 화합물 반도체층 상에 상기 p형 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 발광소자의 제조 방법을 개시한다. 개시된 본 발명을 이용하면, 2차에 걸친 어닐링에 의해 p-GaN층의 저항이 낮아지기 때문에, p형 전극이 단일 금속층인 경우에도 p형 전극과 p-GaN층사이의 접촉저항이 낮아지게 되고, 그 결과 발광소자의 구동전압이 낮아진다. 또 종래에 비해 보다 다양한 금속층을 p형 전극을 형성하는데 사용할 수 있다. 때문에 다양한 공정을 이용하여 p형 전극을 형성할 수 있다.

## 【대표도】

도 18

## 【명세서】

## 【발명의 명칭】

G a N 계 화합물 반도체가 사용된 발광소자의 제조방법{Method for manufacturing light emitting device comprising compound semiconductor of GaN group}

## 【도면의 간단한 설명】

도 1 및 도 2는 각각 종래 기술에 의한 GaN계 화합물 반도체가 사용된 광방출 다이오드(LED) 및 레이저 다이오드(LD)의 단면도이다.

도 3 및 도 4는 도 1 및 도 2에 도시된 LED 및 LD의 p형 전극을 형성하는 과정을 단계별로 보여주는 단면도들이다.

도 5 내지 12는 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법으로써, LD 제조 방법을 단계별로 보여주는 단면도들이다.

도 13 내지 도 15는 각각 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법이 적용되어 형성된 서로 다른 구조를 갖는 LD의 단면도들이다.

도 16 및 도 17은 각각 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법이 적용되어 형성된 서로 다른 구조를 갖는 LED의 단면도들이다.

도 18은 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법을 단계별로 보여주는 블록도이다.

도 19는 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법 및 종래 기술에 의한 제조방법에 따라 발광소자를 형성했을 때, p형 전극이 형성되는 p-GaN층과 p형 전극간의 오믹콘택 성능을 보여주는 전류-전압 곡선이다.

도 20 및 도 21은 각각 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법 및 종래 기술에 의한 제조방법에 따라 발광소자를 형성했을 때, p형 전극이 형성되는 p-GaN층과 p형 전극간의 콘택저항 및 쉬트저항 특성을 보여주는 그래프들이다.

\*도면의 주요 부분에 대한 부호설명\*

201, 300:기판	202:버퍼층
203, 402, 606:n형 화합물 반도체층	204, 408:n형 클래드층
205, 304, 502, 608:활성층	206, 506:p형 클래드층
207:리지 스트라이프	208:p-GaN층
208a:1차 어닐된 p-GaN층	208b:2차 어닐된 p-GaN층
209, 314:p형 전극	210, 290:n형 전극
302:n형 클래드층	306, 310:p형 제1 및 제2 클래드층
308a, 308b:제1 및 제2 전류 차단층	312:p형 콘택층
400:고 저항성 기판	404, 602:비어홀
406, 512, 518:도전층	500, 504:제1 및 제2 도파층
508, 610:p형 화합물 반도체층	510:보호막
516:고 저항성 기판 패턴	600:사파이어 기판
612:상부전극	604, 614:하부전극
600a:사파이어 기판 패턴	

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <24> 본 발명은 반도체 발광소자의 제조방법에 관한 것으로서, 자세하게는 낮은 전압에서 구동할 수 있고, 청색 및 녹색의 단파장 레이저빔을 발진시킬 수 있는 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법에 관한 것이다.
- <25> 반도체 발광소자의 대표적인 것이 레이저 다이오드(Laser Diode, LD)와 광방출 다이오드(Light Emitting Diode, LED)이다. LD는 고밀도로 데이터 기록이 가능한 기록매체, 예컨대 CD-R, CD-RW 또는 DVD 등과 같은 광 기록매체가 개발되면서, 이들 기록 매체에 데이터를 보다 효율적으로 기록할 수 있는 광 기록 수단으로써 널리 사용되고 있는데, 특히 GaN계 화합물 반도체로 제작되는 청색 및 녹색의 단파장 레이저빔을 발생하는 LD는 DVD 시스템의 광원으로서 그 응용분야가 광범위할 뿐 아니라, FCD(full color display)에도 필수적인 소자로서 그 연구/개발이 활발히 진행되고 있다.
- <26> LED는 광통신분야에서의 광원이나 전자기기의 동작 상태를 시각적으로 표시하기 위한 발광원으로 널리 사용되고 있다.
- <27> 도 1 및 도 2는 각각 종래 기술에 의한 GaN계 화합물 반도체가 사용된 LED 및 LD의 단면을 보여준다.
- <28> 먼저, 도 1을 참조하면 종래의 LED는 기판(10) 상에 n-GaN층(12)이 구비되어 있다. n-GaN층(12)은 제1 및 제2 영역(R1, R2)으로 구분되어 있다. 제1 영역(R1)과 제2 영역(R2)사이에 단차가 존재한다. 제1 영역(R1)보다 제2 영역(R2)의 두께가 얇다. n-GaN층



(12)의 제1 영역(R1) 상에 활성층(14), p-GaN층(16) 및 p형 전극(18)이 순차적으로 형성되어 있다. n-GaN층(12)의 제2 영역(R2) 상에 n형 전극(22)이 형성되어 있다.

<29> 한편, 도 2를 참조하면, 종래의 LD는 기판(10) 상에 n-GaN층(12)이 존재한다.

n-GaN층(12)은 도 1에 도시된 LED의 그것과 동일하게 제1 및 제2 영역(R1, R2)으로 구분되어 있고, 제2 영역(R2) 상에 n형 전극(40)이 형성되어 있다. n-GaN층(12)의 제1 영역(R1) 상에 n-클래드층(24)과 이 보다 굴절률이 높은 n-도파층(26), n-도파층(26)보다 굴절률이 높은 활성층(28), 활성층(28)보다 굴절률이 낮은 p-도파층(30)으로 구성되는 공진기층이 형성되어 있다. p-도파층(30) 상에 이보다 굴절률이 낮은 p-클래드층(32)이 존재한다. p-클래드층(32)은 상부 가운데 부분이 위로 돌출되어 리지(ridge)를 이루고 있다. p-클래드층(32)의 상기 돌출된 부분 상에 콘택층으로써 p-GaN층(34)이 형성되어 있다. p-클래드층(32)의 전면은 보호막(36)으로 덮여있는데, 보호막(36)은 p-GaN층(34)의 양측 일부 영역도 덮고 있다. 보호막(36) 상에 p-GaN층(34)의 전면과 접촉되는 p형 전극(38)이 형성되어 있다.

<30> 한편, 도 1에 도시된 종래의 LED의 p형 전극(18) 및 도 2에 도시된 LD의 p형 전극(38)은 도 3 및 도 4에 도시된 바와 같이 형성된다. 편의 상, 도 3 및 도 4에서 p형 전극의 참조번호는 모두 "38"로 통일한다.

<31> 도 3을 참조하면, 콘택층으로 사용된 p-GaN층(16 또는 34) 상에 산화 포텐셜(oxidation potential)이 낮은 제1 금속층(38a) 및 산화 포텐셜이 높은 제2 금속층(38b)이 순차적으로 형성되어 p형 전극(38)이 형성된다. 제1 및 제2 금속층(38a, 38b)은 각각 니켈(Ni)층 및 금(Au)층으로 형성된다. 이렇게 p형 전극(38)이 형성된 다음, 그 결과물은 어닐링되는데, 상기 어닐링에 따라 제2 금속층(38b)을 구성하는 원소들이 제1

금속층(38a)을 통과하여 p-GaN층(16 또는 34)으로 확산된다. 이 결과, 도 4에 도시된 바와 같이 p-GaN층(16 또는 34)과 제1 금속층(38a)사이에서 제2 금속층(38b)이 형성된다. 이렇게 해서, p-GaN층(16 또는 34)과 p형 전극(38)사이의 접촉저항이 낮아지게 된다.

<32> 이러한 p형 전극 형성방법을 포함하는 종래 기술에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법은 콘택층인 p-GaN층(16 또는 34) 상에 순차적으로 형성되는 제1 및 제2 금속층(38a, 38b)의 열역학적 관계에 의존하여 도 1 및 도 2의 p형 전극(18, 38)이 형성되기 때문에, p형 전극(18, 38)을 형성하는데 사용될 수 있는 물질이 매우 제한되는 문제가 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<33> 따라서, 본 발명이 이루고자하는 기술적 과제는 상술한 종래 기술의 문제점을 개선하기 위한 것으로서, p형 전극과 p-GaN층사이의 접촉저항을 낮추어 구동전압을 낮출 수 있고, p형 전극으로 사용할 수 있는 금속층에 대한 선택의 폭을 넓힐 수 있는 GaN계 화합물 반도체가 사용된 발광소자의 제조방법을 제공함에 있다.

#### 【발명의 구성 및 작용】

<34> 상기 기술적 과제를 달성하기 위하여, 본 발명은 양이 방출되는 활성층 상에 적어도 한 층의 p형 화합물 반도체층이 존재하고, 상기 p형 화합물 반도체층 상에 p형 전극을 구비하는 발광소자의 제조방법에 있어서, 상기 활성층 상에 상기 p형 화합물 반도체층을 형성한 다음, 그 결과물을 2차에 걸쳐 어닐링하는 단계 및 상기 2차에 걸쳐 어닐링된 상기 p형 화합물 반도체층 상에 상기 p형 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 GaN계 화합물 반도체가 사용된 발광소자의 제조방법을 제공한다.

- <35> 상기 결과물을 2차에 걸쳐 어닐링하는 단계는 다시 상기 p형 화합물 반도체층을 형성한 다음, 그 결과물을 질소분위기에서 제1 어닐링하는 단계와 상기 제1 어닐링된 결과물을 산소를 포함하는 분위기에서 제2 어닐링하는 단계로 나눌 수 있다. 이때, 상기 제1 어닐링은 상압에서 실시하고, 300℃~1000℃에서 30초~3시간 동안 실시한다. 그리고 상기 제2 어닐링은 상압에서 실시하고, 300℃~1000℃에서 30초~10시간 동안 실시한다.
- <36> 상기 발광소자가 LED인 경우, 상기 p형 화합물 반도체층은 p-GaN층으로 형성한다.
- <37> 상기 발광소자가 LD인 경우, 상기 p형 화합물 반도체층은 복층으로 형성하되, 상기 p형 전극과 접촉되는 최상층은 p-GaN층으로 형성한다.
- <38> 본 발명은 또한 상기 기술적 과제를 달성하기 위하여, 기판 상에 적어도 한 층의 n형 화합물 반도체층을 형성하는 제1 단계, 상기 n형 화합물 반도체층 상에 광이 방출되는 활성층을 형성하는 제2 단계, 상기 활성층 상에 적어도 한 층의 p형 화합물 반도체층을 형성하는 제3 단계, 상기 p형 화합물 반도체층 상에 p형 전극을 형성하는 제4 단계 및 상기 n형 화합물 반도체층과 접촉되도록 n형 전극을 형성하는 제5 단계를 포함하되, 상기 제4 단계에서 상기 p형 전극은 상기 p형 화합물 반도체층이 형성된 결과물을 2차에 걸쳐 어닐링한 다음에 형성하는 것을 특징으로 하는 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법을 제공한다.
- <39> 이러한 본 발명을 이용하면, 상기 2차에 걸친 어닐링에 의해 p-GaN층의 저항이 낮아지기 때문에, p형 전극이 단일 금속층인 경우에도 p형 전극과 p-GaN층사이의 접촉저항이 낮아지게 되고, 그 결과 발광소자의 구동전압이 낮아진다. 또한 본 발명의 목적을 달성할 수 있는 것이면, 어떠한 금속층으로도 p형 전극을 형성할 수 있다. 따라서, 종래와 비교할 때, 본 발명은 p형 전극으로 사용될 수 있는 금속층에 대한 선택의 폭이 넓다.

곤, 종래에 비해 보다 다양한 금속층을 p형 전극을 형성하는데 사용할 수 있다. 이와 같이 다양한 금속층을 p형 전극으로 사용할 수 있으므로, p형 전극을 형성하는데 다양한 공정을 적용할 수도 있다.

<40> 이하, 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법을 첨부된 도면들을 참조하여 상세하게 설명한다. 이 과정에서 도면에 도시된 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되게 도시된 것이다.

<41> 본 발명의 실시예에 의한 발광소자의 제조 방법, 곧 LD 및 LED 제조 방법의 주요 특징은 p-GaN층(p형 전극과 접촉되는 콘택층) 상에 p형 전극을 형성하기 전에 실시되는 상기 p-GaN층의 열처리 과정에 있는 바, 이에 대해서는 반도체 발광소자, 특히 GaN계 화합물 반도체가 사용된 LD의 제조 과정을 설명하면서 보다 상세하게 설명한다.

<42> 도 5 내지 도 12는 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자인 LD의 제조 방법을 단계별로 나타낸 단면도들이다.

<43> 먼저, 도 5를 참조하면, 기판(201) 상에 상부층과의 접촉을 원활하게 하기 위한 버퍼층(202), n형 화합물 반도체층(203), n형 클래드층(204), 레이저빔이 방출되는 활성층(205) 및 p형 클래드층(206)을 순차적으로 형성한다. 버퍼층(202)은 GaN층으로, n형 화합물 반도체층(203)은 n-GaN층으로, n형 클래드층(204)은 n-AlGaN층으로, 활성층(205)은 InGaN층으로, p형 클래드층(206)은 p-AlGaN층으로 각각 형성한다.

<44> 도 6을 참조하면, p형 클래드층(206) 상에 p형 클래드층(206)의 일부 영역을 한정하는 마스크(M)를 형성한다. 이어서, 사진식각(photo lithography)공정을 이용하여 p형 클래드층(206)의 마스크(M)가 형성되지 않은 영역을 주어진 깊이로 건식 식각한 다음,

마스크(M)를 제거한다. 이렇게 해서, p형 클래드층(206)의 마스크(M)로 덮인 영역에 리지 스트라이프(207)가 형성된다. 이때, 상기 건식 식각에 따른 손상으로 리지 스트라이프(207) 양측의 p형 클래드층(206)에 N이 부족하게 되는데, 그에 따라 N공핍부는 도우너(donor) 준위를 형성하여 리지 스트라이프(207) 양측의 p형 클래드층(206)은 반절연체(semi-insulator)가 된다. 이렇게 해서 전류는 리지 스트라이프(207)을 통해서만 주입되기 때문에, 발광소자의 단일 횡모드 동작이 용이해 진다.

<45> 계속해서 도 7을 참조하면, 리지 스트라이프(207) 상에 p-GaN층(208)을 형성한다. p-GaN층(208)은 콘택층으로 사용된다. p-GaN층(208)을 형성한 다음, p-GaN층(208)을 2차에 걸쳐 어닐(anneal)하는데, 이는 후속 공정에서 p-GaN층(208) 상에 형성되는 p형 전극(도 11의 209 참조)과 p-GaN층(208)사이의 접촉저항을 낮추기 위함이다.

<46> 먼저, p형 호합물 반도체층(208)을 1차 어닐링하기 위해, p-GaN층(208)이 형성된 결과물을 제1 어닐링한다. 상기 제1 어닐링에 의해 p-GaN층(208)이 활성화되어 그 안에 함유된 불순물, 예를 들면 수소(H)가 밖으로 배출된다.

<47> 상기 제1 어닐링은 퍼니스(furnace)에서 실시하는 것이 바람직하지만, 다른 어닐링 장치에서 실시할 수 있다. 상기 제1 어닐링은 상압 및 질소( $N_2$ ) 분위기에서 실시하는 것이 바람직하고,  $300^{\circ}C \sim 1000^{\circ}C$ 에서 실시할 수 있으나,  $500^{\circ}C$ 에서 실시하는 것이 바람직하다. 또 제1 어닐링은 상기 압력, 분위기 및 온도조건에서 30초~3시간 동안 실시할 수도 있으나, 1분 동안 실시하는 것이 바람직하다.

<48> 도 8에서 참조부호 208a는 p-GaN층(208)이 상기 제1 어닐링에 의해 열처리된 결과물(이하, 1차 어닐된 GaN층이라 함)을 나타낸다.

<49> 다음, 상기 제1 어닐링에 이어서 p-GaN층(208)을 2차 어닐하기 위해, 1차 어닐된 GaN층(208a)을 제2 어닐링한다. 상기 제2 어닐링은 상압하에서 실시하되, 상기 제1 어닐링과 달리 산소( $O_2$ )를 포함하는 분위기에서 실시하는 것이 바람직하고,  $300^{\circ}C \sim 1000^{\circ}C$ 에서 실시할 수 있으나,  $500^{\circ}C$ 에서 실시하는 것이 바람직하며, 이러한 조건하에서 30초~10시간 동안 실시할 수도 있으나, 30분 동안 실시하는 것이 바람직하다. 상기 제1 어닐링과 마찬가지로 상기 제2 어닐링은 퍼니스에서 실시하는 것이 바람직하나, 다른 어닐링 장치에서 실시할 수 있다.

<50> 도 9에서 참조부호 208b는 1차 어닐된 GaN층(208a)이 상기 제2 어닐링에 의해 열처리된 결과물(이하, 2차 어닐된 GaN층이라 함)을 나타낸다.

<51> 상기 제1 및 제2 어닐링에 의해 p-GaN층(208)이 최종적으로 2차 어닐된 GaN층(208b)으로 되면서, 2차 어닐된 GaN층(208b)과 후속 공정에서 형성될 p형 전극(도 11의 209 참조)사이의 접촉저항이 낮아지게 되는데, 그 원인의 하나는 상기 1차 어닐링 후에 도 1차 어닐된 GaN층(208a)에 남아 있던, p형 도핑 물질로 사용되는 불순물, 예를 들면 마그네슘(Mg)과 결합되어 1차 어닐된 GaN층(208a)의 저항을 크게 만드는 수소(H)가 상기 2차 어닐링 과정에서 산소와 직접 반응하거나 산소의 간접적인 도움을 받아 1차 어닐된 GaN층(208a)으로부터 제거되기 때문인 것으로 짐작된다. 또 다른 원인으로 짐작되는 바는 상기 2차 어닐링 동안에 산소와 관련된 결합(defect)이 1차 어닐된 GaN층(208a)내에 발생되고, 이 결합을 통해서 전류전도가 커짐으로써 2차 어닐된 GaN층(208b)의 접촉 저항이 낮아질 수 있다는 것이다.

<52> 도 10을 참조하면, 2차 어닐된 GaN층(208b)이 형성된 결과물 상으로 2차 어닐된 GaN층(208b)을 덮는 금속층(209)(이하, p형 전극이라 함)이 형성된다. p형 전극(209)은

일함수(work function)가 큰 금속층을 사용하여 단일층으로 형성하는 것이 바람직하나, 복층으로 형성해도 무방하다. 예를 들면, p형 전극(209)은 일 함수가 큰 금속층인 팔라듐(Pd)층, 니켈(Ni)층, 백금(Pt)층 또는 금(Au)층을 사용하여 단일층으로 형성하는 것이 바람직하다. 하지만, 이러한 금속층들로 이루어진 군중에서 선택된 적어도 두 가지 이상의 금속층을 포함하는 복층(예컨대, Ni/Au층)으로 형성하여도 무방하다.

<53> 이와 같이 p형 전극(209)을 형성한 다음, n형 전극이 형성될 영역을 확보하기 위하여 도 11에 도시한 바와 같이 p형 전극(209) 중에서 2차 어닐된 GaN층(208b)으로부터 이격된 일부 영역을 식각한다. 상기 식각 과정에서 2차 어닐된 GaN층(208b)은 마스크(미도시)에 의해 보호된다. 상기 식각은 n형 화합물 반도체층(203)의 일부가 제거될 때까지 실시한다. 상기 식각 후 상기 마스크를 제거한다.

<54> 도 12를 참조하면, 상기 식각에 의해 노출된 n형 화합물 반도체층(203)의 소정 영역 상에 n형 전극(210)을 형성한다. 이렇게 해서 GaN계 화합물 반도체를 사용한 LD가 완성된다.

<55> 한편, p형 전극(209)을 형성하는 과정에서, p형 전극(209)은 2차 어닐된 GaN층(208b) 상에만 형성하고, 그 둘레는 도 1에 도시된 바와 같이 보호막(108)을 형성할 수 있다.

<56> 상술한 바와 같은 본 발명의 실시예에 의한 발광소자의 제조 방법의 특징, 곧 p형 전극을 형성하기 전에 p형 전극과 접촉되는 p-GaN층을 2차 걸쳐 어닐링하는 과정은 도 12에 도시한 LD와 구조가 다른 다양한 형태의 LD들, 예컨대 도 13 내지 도 15에 도시한 LD의 제조 과정에도 동일하게 적용된다.

<57>      구체적으로, 도 13에 도시한 GaN계 반도체 화합물이 사용된 LD는 상하로 n형 및 p형 전극(290, 314)이 구비되어 있고, 이들 사이에 레이저를 방출시키기 위한 여러 요소들이 구비된 것을 알 수 있다.

<58>      곧, n형 전극(290) 상에 기판(300)이 형성되어 있다. 기판(300)은 n형 화합물 반도체 기판으로써 n-GaN 기판이다. 기판(300) 상에 n형 클래드층(302), 캐리어 결합에 의해 레이저가 방출되는 다중양자우물(MQW) 구조의 활성층(304) 및 p형 제1 클래드층(306)이 순차적으로 적층되어 있다. n형 클래드층(302)은 활성층(304)보다 굴절률이 낮은 n형 화합물 반도체층으로써, 예를 들면 n-AlGaIn층이다. p형 제1 클래드층(306)은 활성층(304)보다 굴절률이 낮은 p형 화합물 반도체층으로써, 예를 들면 p-InAlGaIn층이다. 활성층(304)과 n형 클래드층(302)과 p형 제1 클래드층(306)은 레이저 발진을 위한 공진기층을 이룬다. p형 제1 클래드층(306) 상에 제1 및 제2 전류차단층(308a, 308b)이 형성되어 있고, 주어진 거리만큼 이격되어 있다. 제1 및 제2 전류차단층(308a, 308b)사이로 레이저 발진을 위한 전류가 유입되고, 다른 부분으로는 유입되지 않는다. 결국, 제1 및 제2 전류차단층(308a, 308b)은 주어진 폭을 갖는 채널 영역(C)을 정의한다. 제1 및 제2 전류차단층(308a, 308b)은 지면의 안쪽으로 계속되므로, 제1 및 제2 전류차단층(308a, 308b)에 의해 정의된 채널 영역(C)은 스트라이프 형상이 된다. 제1 및 제2 전류차단층(308a, 308b) 상으로 채널 영역(C)을 통해서 노출되는 p형 제1 클래드층(306)과 접촉되는 p형 제2 클래드층(310)이 형성되어 있다. p형 제1 및 제2 클래드층(306, 310)은 동일한 p형 화합물 반도체층이다. 그런데, 제1 및 제2 전류차단층(308a, 308b)은 n형 화합물 반도체층이므로, p형 제1 및 제2 클래드층(306, 310)과 제1 및 제2 전류차단층(308a, 308b)은 서로 p-n-p 접합을 이루게 된다. 따라서, p형 제1 및 제2 클래드층(306, 310)과 제1 및



제2 전류차단층(308a, 308b) 사이의 계면에 공핍층(depletion layer)이 형성된다. 결국, 제1 및 제2 전류차단층(308a, 308b)은 채널영역(C)을 제외한 다른 영역을 통해서 전류가 활성층(304)에 유입되는 것을 차단한다.

<59> 도 13을 계속 참조하면, 제1 및 제2 전류차단층(308a, 308b)을 덮는 p형 제2 클래드층(310)의 채널영역(C)에 대응되는 부분은 다른 부분에 비해 다소 오목한데, 이것은 제1 및 제2 전류 차단층(308a, 308b)과 채널영역(C)사이 에 존재하는 단차 때문이다. 이러한 p형 제2 클래드층(310) 상에 표면이 평평한 p형 콘택층(312)이 형성되어 있다. p형 콘택층(312)은 p-GaN층이다. p형 콘택층(312) 상에 오믹 접촉된 p형 전극(314)이 형성되어 있다.

<60> 이러한 구성을 갖는 LD의 제조 방법에서 p형 콘택층(312) 상에 p형 전극(314)을 형성하기에 앞서, p형 콘택층(312)은 상술한 어닐링 조건하에서 2차에 걸쳐 열처리된다.

<61> 다음, 도 14에 도시한 GaN계 화합물 반도체가 사용된 LD의 구성을 살펴보면, 고 저항성 기판(400), 예를 들면 사파이어 기판 상에 n형 화합물 반도체층(402)이 존재한다. n형 화합물 반도체층(402)은 GaN계열의 III-V족 질화물 화합물 반도체층으로써, 직접 전이형인 것이 바람직하고, 그 중에서도 n-GaN층인 것이 바람직하다. 고 저항성 기판(400)에 입구가 아래쪽으로 형성된 비어홀(404)이 형성되어 있다. n

형 화합물 반도체층(402)의 저면 일부는 이러한 비어홀(404)을 통해 노출된다. 비어홀(404)을 통해 노출되는 n형 화합물 반도체층(402)의 일부 영역과 접촉되는 도전층(406)이 고 저항성 기판(400)의 저면에 형성되어 있다. 도전층(406)은 하부전극이다. n형 화합물 반도체층(402) 상에 n형 클래드층(408)이 존재한다. n형 클래드층(408) 상에 공진기층을 구성하는 제1 도파층(wave guide layer)(500), 활성층(502) 및 제2 도파층(504)이 순차적으로 형성되어 있다. 제1 및 제2 도파층(500, 504)은 GaN계열의 III-V족 질화물 화합물 반도체층으로써, 각각은 n-GaN층 및 p-GaN층인 것이 바람직하다. 제1 및 제2 도파층(500, 504)의 굴절률은 n형 클래드층(408)의 굴절률보다 높다. 활성층(502)은 GaN 계열의 III-V족 질화물 화합물 반도체층, 예를 들면 인듐(In)을 소정 비율로 함유하는 InGaN층이다. 활성층(502)의 굴절률은 제1 및 제2 도파층(500, 504)보다 높다. 이에 따라 공진기층의 굴절률은 중심에서 주변으로 갈수록 굴절률이 감소하는 형태이므로 광 손실을 줄일 수 있고 그 결과 활성층(502)에서의 레이저 발진 효율이 높아지게 된다. 제2 도파층(504) 상에 p형 클래드층(506)이 형성되어 있다. p형 클래드층(506)의 상부 가운데 부분은 돌출되어 있다. p형 클래드층(506)의 상기 돌출된 부분의 상부면에 p형 화합물 반도체층(508)이 구비되어 있다. p형 화합물 반도체층(508)은 예를 들면 p-GaN층이다. p형 클래드층(506)의 전면은 보호막(510)으로 덮여 있고, 보호막(510)은 p형 화합물 반도체층(508)의 양측과도 접촉된다. 보호막(510) 상에 도전층(512)이 구비되어 있고, 도전층(512)은 상부전극으로써 p형 화합물 반도체층(508)과 접촉되어 있다.

<62> 이러한 구성요소들을 포함하는 LD의 제조 방법에서, p형 클래드층(506)의 상기 돌출된 부분의 상부면에 p형 화합물 반도체층(508)(p-GaN층)을 형성한 다음, p형 클래드층(506)의 전면에 p형 화합물 반도체층(508)의 양측과 접촉되는 보호막(510)을 형

성하고, 보호막(510) 상으로 p형 화합물 반도체층(508)과 접촉되는 도전층(512)(상부전극)을 형성하게 되는데, p형 화합물 반도체층(508)을 형성한 다음, 도전층(512)을 형성하기 전에 p형 화합물 반도체층(508)을 2차에 걸쳐 어닐링하게 된다. 이때, 상기 2차에 걸친 어닐링은 상술한 1차 및 2차 어닐링을 말하는 것으로써, 다음 두 경우 중 어느 하나로 실시할 수 있다.

- <63> 첫째는 p형 화합물 반도체층(508)을 형성한 다음, 보호막(510)을 형성하기 바로 전에 실시하는 경우이다.
- <64> 둘째는 보호막을 형성한 직후에 바로 실시하는 경우이다.
- <65> 도 15는 고 저항성 기판 및 하부전극의 형태를 제외하고는 도 14에 도시한 것과 동일한 LD를 보여준다. 도 14 및 도 15에서 동일한 참조번호는 동일한 부재를 나타낸다.
- <66> 구체적으로 도 15를 참조하면, n형 화합물 반도체층(514)의 저면 가운데에 고 저항성 기판 패턴(516)이 구비되어 있고, 그 둘레의 n형 화합물 반도체층(514)의 저면과 고 저항성 기판 패턴(516)의 전면은 도전층(518)으로 덮여 있다. 도전층(518)은 하부 전극으로 사용된다. n형 화합물 반도체층(514) 상에 순차적으로 적층된 적층물들의 구성은 도 14와 동일하므로, 이에 대한 설명은 생략한다.
- <67> 도 15에 도시한 바와 같은 LD에 대한 제조 방법에서도 p형 전극의 콘택층인 p형 화합물 반도체층(508)에 대한 2차에 걸친 어닐링은 상기한 두 경우 중 어느 하나로 실시할 수 있다.

- <68> 한편, 본 발명의 실시예에 의한 발광소자의 제조 방법은 도 12 내지 도 15에 도시한 바와 같은 구조를 갖는 LD의 제조 방법뿐만 아니라 다양한 구조를 갖는 광방출 다이오드(LED)의 제조 방법에도 적용할 수 있다.
- <69> 예를 들어, 도 16은 상부 및 하부전극(612, 604)이 상하로 마주하도록 구비되어 있고, 그 사이에 사파이어 기판(600), n형 화합물 반도체층(606), 활성층(608) 및 p형 화합물 반도체층(610)이 순차적으로 적층된 구조의 LED를 보여준다. 사파이어 기판(600)에 입구가 아래쪽으로 형성된 비어홀(602)이 형성되어 있다. 비어홀(602)을 통해서 n형 화합물 반도체층(606)의 저면 일부가 노출된다. 하부전극(604)은 사파이어 기판(600)의 전면에 형성되어 있는데, n형 화합물 반도체층(606)의 상기 노출된 부분과 접촉되어 있다.
- <70> 이와 같은 구성 요소들을 포함하는 LED의 제조 방법에서, n형 화합물 반도체층(610) 상에 p형 전극(612)이 형성되기 전에 n형 화합물 반도체층(610)은 2차에 걸쳐 어닐링된다. 이때, 상기 2차에 걸친 어닐링은 상술한 1차 및 2차 어닐링을 의미한다.
- <71> 도 17은 도 16에 도시한 LED와 동일한 것이되, n 화합물 반도체층(606) 저면의 일부 영역 상에만 사파이어 기판 패턴(600a) 구비되어 있고 나머지 영역은 노출되어 있으며 하부전극(614)이 n형 화합물 반도체층(606)의 상기 노출된 저면 및 사파이어 기판 패턴(600a)의 전면을 덮도록 구비된 LED를 보여준다. 여기서, n형 화합물 반도체층(606) 상에 적층된 적층물은 도 16에 도시한 LED에서의 해당 적층물과 동일하고, 그 형성 방법도 동일하다.
- <72> 상술한 바와 같은 발광소자들에 대한 제조 방법은 도 18에 도시한 바와 같이 정리할 수 있다.

- <73> 구체적으로, 도 18을 참조하면, 본 발명의 실시예에 의한 발광소자 제조 방법(이하, 제조 방법이라 함)의 제1 단계(700)는 기판 상에 n형 화합물 반도체층을 형성하는 단계이다. 이때, 기판은 GaN 기판과 같이 화합물 반도체 기판이 사용되는 것이 바람직하지만, 사파이어 기판과 같이 고 저항성 기판이 사용될 수 있다. 어느 경우에서나 n형 화합물 반도체층은 n형 GaN층으로 형성하는 것이 바람직하다.
- <74> 한편, 발광소자가 LD이나 LED이냐에 따라 상기 n형 화합물 반도체층의 형성 방법은 달라지게 된다. 전자의 경우, n형 화합물 반도체층은 도 12 내지 도 15에서 볼 수 있듯이 n형 클래드층 및/또는 n형 도파층까지 포함할 수 있기 때문에, 복층으로 형성하는 것이 바람직하지만, 후자의 경우에 클래드층이나 도파층은 불필요한 요소이므로, 16이나 도 17에서 볼 수 있듯이 단일층으로 형성하는 것이 바람직하다.
- <75> 제조 방법의 제2 단계(710)는 상기 n형 화합물 반도체층 상에 활성층을 형성하는 단계이다. 이때, 상기 활성층은 다중양자우물(MQWs)구조를 갖는 화합물 반도체층으로 형성하는 것이 바람직하다.
- <76> 제조 방법의 제3 단계(720)는 상기 활성층 상에 p형 화합물 반도체층을 형성하는 단계이다.
- <77> 구체적으로, 상기 n형 화합물 반도체층을 형성할 때와 마찬가지로, 형성하고자 하는 발광소자가 LD이나 LED이냐에 따라 상기 p형 화합물 반도체층은 복층 또는 단일층으로 형성된다. 상기 발광소자가 LD인 경우, 도 12 내지 도 15에서 볼 수 있듯이, 상기 p형 화합물 반도체층은 활성층과 p형 전극사이에 적층된 적층물 전체를 의미하는 것이다. 따라서, 상기 p형 화합물 반도체층에 p형 전극과 접촉되는 콘택층(예컨대 p-GaN층)이 포함될 수 있고, 도 14에 도시한 LD의 경우라면 보호막(510)도 포함될 수 있다.

- <78> 제조 방법의 제4 단계(730)는 이러한 p형 화합물 반도체층이 형성된 결과물을 1차 어닐링하는 단계이다. 상기 1차 어닐링에 대한 설명은 상술하였으므로 생략한다.
- <79> 제조 방법의 제5 단계(740)는 상기 1차 어닐링된 결과물을 2차 어닐링하는 단계이다. 상기 2차 어닐링에 대한 설명 역시 상술하였으므로 생략한다.
- <80> 제조 방법의 제6 단계(750)는 상기 2차 어닐링된 상기 p형 화합물 반도체층 상에 p형 전극을 형성하는 단계이다.
- <81> 구체적으로는 상기 발광소자가 LD인 경우, 상기 p형 전극은 상기 p형 화합물 반도체층의 최상층인 콘택층 상에 형성하고, 상기 발광소자가 LED인 경우, 도 16 또는 도 17에서 볼 수 있듯이 활성층(608) 상에 형성된 단일층의 p형 화합물 반도체층(610) 전면에서 형성한다.
- <82> 제조 방법의 제7 단계(760)는 상기 n형 화합물 반도체층과 접촉되도록 n형 전극을 형성하는 단계이다.
- <83> 제7 단계(760)에서 상기 n형 전극은 상기 p형 전극과 동일한 방향으로 형성하거나 상기 p형 전극과 마주하도록 형성할 수 있다.
- <84> 전자의 경우, 도 1 및 도 12에 도시한 LD가 그 예가 될 수 있는데, 상기 p형 전극이 형성된 방향에서 상기 p형 화합물 반도체층 및 활성층을 순차적으로 제거한 다음, 상기 n형 화합물 반도체층의 일부를 노출시킨다. 이 과정에서 상기 n형 화합물 반도체층의 노출된 일부 영역도 주어진 두께만큼 제거된다. 상기 n형 화합물 반도체층의 상기 노출된 영역 상에 상기 n형 전극을 형성한다.

<85> 후자의 경우, 도 13 내지 도 15에 도시한 LD와 도 16 및 도 17에 도시한 LED가 그 예가 될 수 있는데, p형 전극을 형성한 다음, 기판에 n형 화합물 반도체층이 노출되는 비어홀을 형성하고, 기판의 저면 상으로 상기 비어홀을 통해서 노출되는 n형 화합물 반도체층과 접촉되도록 n형 전극을 형성한다.

<86> 본 발명자는 이와 같은 본 발명의 실시예에 의한 제조 방법에 따라 형성한 발광소자와 종래 기술에 따라 형성한 발광소자를 대상으로 하여 전류-전압특성, p형 전극과 p-GaN층사이의 접촉저항 및 쉬트저항 특성을 비교하였다.

<87> 도 19와 도 20은 이러한 비교 결과를 보여주는 그래프들로서, 도 19는 전류-전압 특성을, 도 20은 콘택저항특성을, 도 21은 쉬트저항의 변화를 보여준다.

<88> 먼저, 도 9를 참조하면, 참조부호 "■"는 본 발명의 실시예에 의한 발광소자 제조 방법에 따라 형성한 발광소자의 전류-전압 특성을 나타낸 것으로, p-GaN층을 2차에 걸쳐 어닐링 한 다음, p형 전극을 단일 금속층으로 형성한 경우(이하, 제1 경우라 함)이다. 그리고 참조부호 "□" 및 "○"는 각각 종래 기술에 의한 제조 방법에 따라 형성한 발광소자의 전류-전압 특성을 나타내는데, "□"는 p형 전극을 단일 금속층으로 형성한 다음, 그 결과물을 통상의 방법으로 활성화한 경우(이하, 제2 경우라 함)이고, "○"는 p형 전극을 복층으로 형성한 다음, 그 결과물을 통상의 방법으로 활성화한 경우(이하, 제3 경우라 함)이다.

<89> 상기 제1 및 제2 경우를 비교한 바, p형 전극을 단일 금속층, 예컨대 니켈(Ni)층으로 형성함에 있어서, 종래 기술에 의한 제조 방법보다 본 발명에 의한 제조 방법으로 p형 전극을 형성할 때, 전류-전압 특성이 우수함을 알 수 있었다.

<90> 또 상기 제1 및 제3 경우를 비교한 바, 본 발명에 의한 제조 방법에 따라 p형 전극을 단일 금속층, 예컨대 Ni층으로 형성할 때와 종래 기술에 의한 제조 방법에 따라 p형 전극을 복층, 예컨대 니켈(Ni)층/금(Au)층으로 형성할 때, 양쪽의 전류-전압 특성은 매우 유사함을 알 수 있었다.

<91> 도 20을 참조하면, 참조부호 P1 및 P2는 각각 상기 제2 및 제3 경우에서의 p형 전극의 콘택저항을 나타낸다. 그리고 P3 내지 P5는 상기 제1 경우에서의 p형 전극의 콘택저항을 나타내는데, P3은 p형 전극을 백금(Pt)층으로 형성하였을 때, P4는 p형 전극을 금(Au)층으로 형성하였을 때, P5는 p형 전극을 니켈(Ni)층으로 형성하였을 때의 콘택저항을 각각 나타낸다.

<92> 상기 제2 경우에서의 콘택저항(P1)과 제1 경우에서의 콘택저항들(P3, P4, P5)을 비교한 바, 본 발명의 제조 방법에 따라 p형 전극을 단일 금속층으로 형성하였을 때, 종래 기술에 의한 방법에 따라 p형 전극을 단일 금속층으로 형성하였을 때보다 콘택저항이 훨씬 낮아짐을 알 수 있었다.

<93> 또 상기 제3 경우에서의 콘택저항(P2)과 상기 제1 경우에서의 콘택저항들(P3, P4, P5)을 비교한 바, 본 발명의 제조 방법에 따라 다양한 단일 금속층으로 p형 전극을 형성하였을 때와 종래 기술에 의한 제조 방법에 따라 p형 전극을 복층으로 형성하였을 때, 양쪽의 콘택저항은 크게 다르지 않음을 알 수 있었다.

<94> 계속해서, 도 21을 참조한다. 도 21에서 참조부호 P1' 및 P2'는 각각 상기 제2 및 제3 경우에서의 p형 전극과 오믹(ohmic)접촉되는 p-GaN층의 쉬트저항(sheet resistance)을 나타낸다. 그리고 P3' 내지 P5'는 상기 제1 경우에서의 p형 전극과 오믹접촉되는 p-GaN층의 쉬트저항을 나타내는데, P3'는 p형 전극을 백금(Pt)층으로 형성하였을 때,



P4'는 p형 전극을 금(Au)층으로 형성하였을 때, P5'는 p형 전극을 니켈(Ni)층으로 형성하였을 때의 스위트저항을 각각 나타낸다.

<95> 도 20과 도 21을 비교하면, 종래 기술과 본 발명사이의 스위트저항 특성과 콘택저항 특성은 매우 유사함을 알 수 있다. 따라서 상기 스위트저항 특성은 상기 콘택저항 특성과 동일하게 해석할 수 있다. 이에, 상기 종래 기술과 본 발명사이의 스위트저항 특성에 대한 설명은 생략한다.

<96> 도 19 내지 도 21을 통해서 나타난 결과들은 본 발명의 실시예에 의한 제조방법에 따라 p형 전극을 형성하는 경우, p형 전극을 단일 금속층으로 형성하더라도 우수한 전류-전압 특성을 얻을 수 있음은 물론이거니와 콘택저항 및 스위트저항도 종래 기술에 의한 제조 방법에 따라 p형 전극을 복층으로 형성하였을 때의 그것들과 견줄 수 있을 만큼 낮아지고, 보다 다양한 단일 금속층으로 p형 전극을 형성할 수 있음을 의미한다.

<97> 상기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 도면에 도시되지 않은 다른 형태의 LD 및 LED의 p형 전극을 형성하는 과정에 p형 전극을 형성하기에 앞서 p형 전극과 접촉되는 p-GaN층을 2차 걸쳐 어닐링하는 본 발명의 기술적 사상을 적용할 수 있을 것이다. 때문에 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

**【발명의 효과】**

<98> 상술한 바와 같이, 본 발명의 실시예에 의한 GaN계 화합물 반도체가 사용된 발광소자의 제조 방법은 p형 전극을 형성하는 과정에서 상기 p형 전극이 형성되는 p-GaN층을 2차에 걸쳐 어닐링한 다음, 상기 p-GaN층 상에 상기 p형 전극을 형성한다. 상기 2차에 걸친 어닐링 중에서 특히 제2 어닐링은 산소분위기에서 실시한다. 이러한 본 발명을 이용하면, 상기 2차에 걸친 어닐링에 의해 p-GaN층의 저항이 낮아지기 때문에, p형 전극이 단일 금속층인 경우에도 p형 전극과 p-GaN층사이의 접촉저항이 낮아지게 되고, 그 결과 발광소자의 구동전압이 낮아진다. 또한 본 발명의 목적을 달성할 수 있는 것이면, 어떠한 금속층으로도 p형 전극을 형성할 수 있다. 따라서, 종래와 비교할 때, 본 발명은 p형 전극으로 사용될 수 있는 금속층에 대한 선택의 폭이 넓다. 곧, 종래에 비해 보다 다양한 금속층을 p형 전극을 형성하는데 사용할 수 있다. 이와 같이 다양한 금속층을 p형 전극으로 사용할 수 있으므로, p형 전극을 형성하는데 다양한 공정을 적용할 수도 있다.

**【특허청구범위】****【청구항 1】**

광이 방출되는 활성층 상에 적어도 한 층의 p형 화합물 반도체층이 존재하고, 상기 p형 화합물 반도체층 상에 p형 전극을 구비하는 발광소자의 제조방법에 있어서,

상기 활성층 상에 상기 p형 화합물 반도체층을 형성한 다음, 그 결과물을 2차에 걸쳐 어닐링하는 단계; 및

상기 2차에 걸쳐 어닐링된 상기 p형 화합물 반도체층 상에 상기 p형 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 결과물을 2차에 걸쳐 어닐링하는 단계는,

상기 p형 화합물 반도체층을 형성한 다음, 그 결과물을 질소분위기에서 제1 어닐링하는 단계; 및

상기 제1 어닐링된 결과물을 산소를 포함하는 분위기에서 제2 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 3】**

제 2 항에 있어서, 상기 제1 어닐링은 상압에서 실시하고, 300℃~1000℃에서 30초~3시간 동안 실시하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 4】**

제 2 항에 있어서, 상기 제2 어닐링은 상압에서 실시하고, 300℃~1000℃에서 30초~10시간 동안 실시하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 5】**

제 1 항 또는 제 2 항에 있어서, 상기 p형 전극은 단일층 또는 복층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 6】**

제 5 항에 있어서, 상기 단일층은 Pd층, Ni층, Pt층 또는 Au층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 7】**

제 5 항에 있어서, 상기 복층은 Pd층, Ni층, Pt층 및 Au층으로 이루어진 군중에서 적어도 선택된 두 개의 층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 8】**

제 1 항 또는 제 2 항에 있어서, 상기 p형 화합물 반도체층은 p-GaN층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 9】**

제 1 항 또는 제 2 항에 있어서, 상기 p형 화합물 반도체층은 복층으로 형성하되, 상기 p형 전극과 접촉되는 최상층은 p-GaN층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 10】**

기판 상에 적어도 한 층의 n형 화합물 반도체층을 형성하는 제1 단계;

상기 n형 화합물 반도체층 상에 광이 방출되는 활성층을 형성하는 제2 단계;

상기 활성층 상에 적어도 한 층의 p형 화합물 반도체층을 형성하는 제3 단계;

상기 p형 화합물 반도체층 상에 p형 전극을 형성하는 제4 단계; 및

상기 n형 화합물 반도체층과 접촉되도록 n형 전극을 형성하는 제5 단계를

포함하되,

상기 제4 단계에서 상기 p형 전극은 상기 p형 화합물 반도체층이 형성된 결과물을 2차에 걸쳐 어닐링한 다음에 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 11】**

제 10 항에 있어서, 상기 2차에 걸친 어닐링에서 제1 어닐링은 질소 분위기에서 실시하고, 제2 어닐링은 산소를 포함하는 분위기에서 실시하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 12】**

제 11 항에 있어서, 상기 제1 어닐링은 상압에서 실시하고, 300℃~1000℃에서 30초~3시간 동안 실시하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 13】**

제 11 항에 있어서, 상기 제2 어닐링은 상압에서 실시하고, 300℃~1000℃에서 30초~10시간 동안 실시하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 14】**

제 10 항 또는 제 11 항에 있어서, 상기 p형 전극은 단일층 또는 복층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 15】**

제 14 항에 있어서, 상기 단일층은 Pd층, Ni층, Pt층 또는 Au층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 16】**

제 14 항에 있어서, 상기 복층은 Pd층, Ni층, Pt층 및 Au층으로 이루어진 군중에서 적어도 선택된 두 개의 층을 순차적으로 적층하여 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 17】**

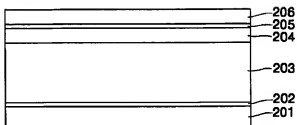
제 10 항 또는 제 11 항에 있어서, 상기 p형 화합물 반도체층은 p-GaN층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.

**【청구항 18】**

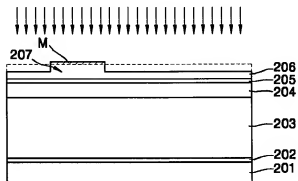
제 10 항 또는 제 11 항에 있어서, 상기 p형 화합물 반도체층은 복층으로 형성하되, 상기 p형 전극과 접촉되는 최상층은 p-GaN층으로 형성하는 것을 특징으로 하는 발광소자의 제조방법.



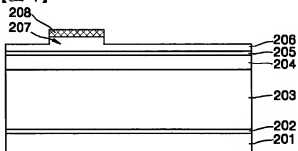
【도 5】



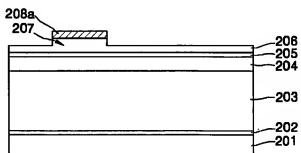
【도 6】



【도 7】

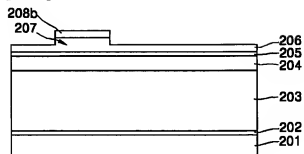


【도 8】

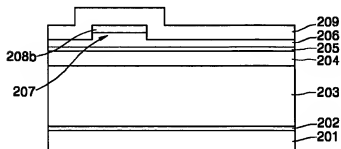




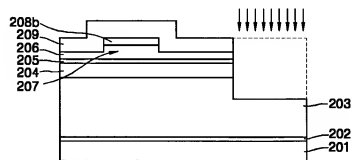
【도 9】



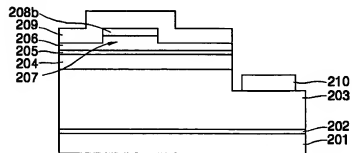
【도 10】



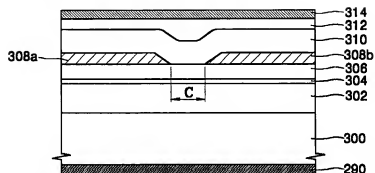
【도 11】



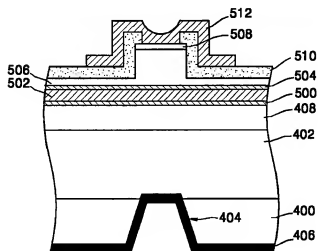
【도 12】



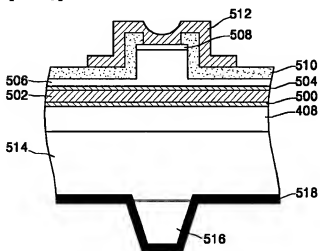
【도 13】



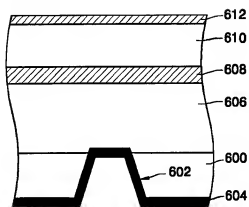
【도 14】



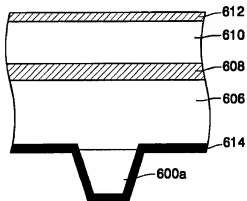
【도 15】



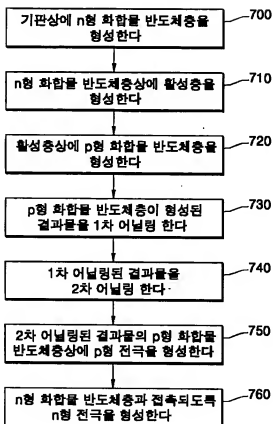
【도 16】



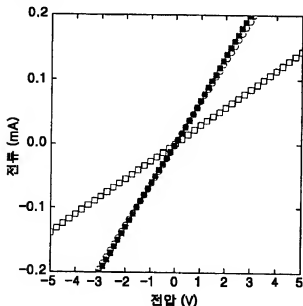
【도 17】



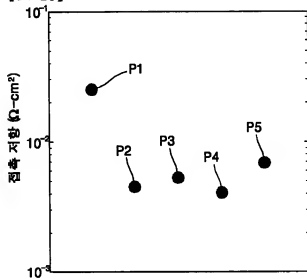
【도 18】



【도 19】



【도 20】



【도 21】

